

⑫ 公開特許公報(A)

昭62-91993

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月27日

G 09 G 3/20
G 02 F 1/133
G 09 F 9/30
H 01 L 27/12
29/78

3 2 7

D-7436-5C
8205-2H
6731-5C
7514-5F
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 フラットディスプレイ

⑯ 特 願 昭60-231107

⑰ 出 願 昭60(1985)10月18日

⑱ 発 明 者	折 付	良 二	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	砂 原	和 雄	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	高 橋	幹 男	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	国 藤	博 文	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑲ 出 願 人	株式会社日立製作所			東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人	弁理士 小川 勝男			外1名

明 細 書

発明の名称 フラットディスプレイ

特許請求の範囲

1. マトリックス状に配列した駆動配線と信号配線とで囲まれる各領域に表示素子およびスイッチングトランジスタを配置して各画素を構成したフラットディスプレイにおいて、前記一面素に複数個のスイッチングトランジスタを設けたことを特徴とするフラットディスプレイ。
2. 前記スイッチングトランジスタを並列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。
3. 前記スイッチングトランジスタを直列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。
4. 前記スイッチングトランジスタを直並列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。

発明の詳細な説明

〔発明の利用分野〕

本発明は液晶表示装置等のフラットディスプレイに係り、特に各表示素子にアクティブ素子を付設したアクティブ・マトリックス方式のフラットディスプレイに関するものである。

〔発明の背景〕

近年、この種のディスプレイの研究が盛んなことは、例えば日経エレクトロニクス1984年9月10日号の第211頁に記載されている通りである。

このようなディスプレイでは、マトリックス状に駆動配線と信号配線とが配列され、それによって各配線で囲まれた各領域に配置した各表示素子を個々のアクティブ素子によりスイッチング駆動させる構成を有しており、アクティブ素子のスイッチオンのとき、表示素子に画像情報が表示され、スイッチオフのとき、その情報が保持される。

しかしながら、このように構成されるフラットディスプレイは、1個の表示素子に対して1個の薄膜トランジスタを有しているため、薄膜トランジスタのオン電流が不足すると、表示素子の表示

BEST AVAILABLE COPY

画像上に黒点不良を発生し、またオフ電流が大であると、白点不良を発生させていた。

また、特開昭58-171860号公報に示されているようにアクティブ素子としてポリシリコンを活性層とする薄膜トランジスタにおいては、粒界のリーク電流を防止するため、複数のトランジスタを、そのゲートを共通にして直列接続しているが、リダンダンシを目的としたものではないので、そのうちの1個のトランジスタのオフ電流が大となると、白点不良となる欠点があつた。

〔発明の目的〕

本発明の目的は、薄膜トランジスタのオン電流の不足に起因する黒点不良の発生を防止し、画素欠陥の発生を防止することが可能なフラットディスプレイを提供することにある。

本発明の他の目的は、薄膜トランジスタのオフ電流の大に起因する白点不良の発生を防止し、画素欠陥の発生を防止することが可能なフラットディスプレイを提供することにある。

〔発明の概要〕

このような構成によれば、表示素子4をスイッチング駆動する第1のトランジスタ3aもしくは第2のトランジスタ3bの一方が、オン電流が小となる欠陥が発生しても、残る他方がオン電流を供給するので、黒点不良を発生させることはなくなる。

ここで、黒点不良となる確率を計算すると、今、画素数が 1000×1000 個のフラットディスプレイには通常10個程度の黒点不良があり、良品とはならない。ここで、前述したようにトランジスタを並列接続した構成とすると、オン電流が小となる欠陥トランジスタの数は20個であり、これらが同一の画素面に集まる確率が、画素が黒点となる確率を与える。

$20(\text{個}) \times 1.9 \div (2 \times 10^6) = 1.9 \times 10^{-4}$
すなわち、黒点画素に関する歩留りは約99.98%と計算され、極めて有効である。

第3図は第2図で説明したトランジスタが並列接続された具体例を示す平面構成図であり、前述の図と同一符号は同一部分を示す。同図において、

本発明の一実施例によれば、1個の表示素子に対して複数の薄膜トランジスタを接続することにより、アクティブ素子回路に冗長性をもたせたフラットディスプレイが提供される。

〔発明の実施例〕

次に図面を用いて本発明の実施例を詳細に説明する。

第1図はアクティブマトリクス方式のフラットディスプレイを示す回路構成図である。同図において、1は駆動配線、2は信号配線、3はアクティブ素子としての薄膜トランジスタ（以下トランジスタと称する）、4は例えば液晶表示素子あるいはEL（エレクトロ・ルミネッセンス）等の表示素子であり、1個のトランジスタ3と表示素子4とで一画素5を構成している。

本発明によるフラットディスプレイは、第2図に示すように個々の画素5'が駆動配線1、信号配線2と表示素子4との間に第1のトランジスタ3aおよび第2のトランジスタ3bを並列接続して構成されている。

駆動配線1と信号配線2とが交差する2辺に、例えばアモルファスシリコンを活性層6a、6bとしソース電極7a、7bが接続されたトランジスタ3a、3bがそれぞれ形成され、ソース電極7a、7bは表示素子の画素電極8に並列接続されて形成される。

第4図は本発明の他の実施例を示す回路構成図である。同図において、フラットディスプレイは、個々の画素5'が第1のトランジスタ3aと第2のトランジスタ3bとが直列接続して構成されている。

このような構成によれば、第1のトランジスタ3aもしくは第2のトランジスタ3bのオフ電流が大となる不良を発生しても直列接続された他のトランジスタがオフ特性を保障するので、白点画素の発生を防止することができる。

第5図は第4図で説明したトランジスタが直列接続された具体例を示す平面構成図であり、同図において、信号配線2と画素電極8との間に、アモルファスシリコンを活性層6a、6bとした第1

のトランジスタ 3a と第 2 のトランジスタ 3b とが直列接続されて形成される。

第 6 図は本発明のさらに他の実施例を示す回路構成図である。同図において、フラットディスプレイは、個々の画素 5' が第 1 のトランジスタ 3a および第 2 のトランジスタ 3b が直列接続され、さらに第 3 のトランジスタ 3c および第 4 のトランジスタ 3d が並列接続されて構成されている。すなわち、4 個のトランジスタ 3a, 3b, 3c, 3d が直並列接続されて構成されている。

このような構成によれば、直列接続された第 1 のトランジスタ 3a および第 2 のトランジスタ 3b により白点不良の発生を防止でき、並列接続された第 3 のトランジスタ 3c および第 4 のトランジスタ 3d により黒点不良の発生を防止できる。すなわち、白点および黒点不良の発生を同時に防止することができる。

第 7 図は第 6 図で説明したトランジスタが直並列接続された具体例を示す平面構成図であり、同図において、駆動配線 1 と信号配線 2 とが交差す

る 2 辺に、2 組のトランジスタ 3a, 3b および 3c, 3d が中間電極 9a, 9b により接続され、画素電極 8 に直並列接続されて形成される。

なお、前述した実施例においては、アクティブ素子にアモルファスシリコンを活性層とする薄膜トランジスタを用いた場合について説明したが、ポリシリコンを活性層とする薄膜トランジスタを用いても同様の効果が得られることは勿論である。

〔発明の効果〕

以上説明したように本発明によれば、表示素子の一面素に複数のスイッチングトランジスタを設けたことにより、トランジスタの不良に起因する白点不良および黒点不良等の画素欠陥を防止できるので、高品位の表示画像が得られるなどの極めて優れた効果を有する。

図面の簡単な説明

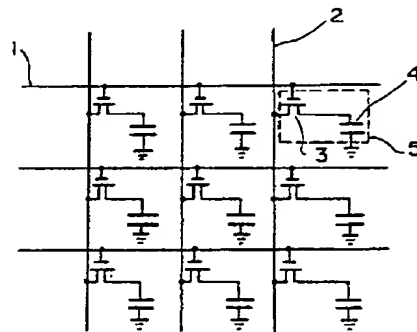
第 1 図はアクティブ・マトリクス方式のフラットディスプレイを示す回路構成図、第 2 図、第 3 図は本発明によるフラットディスプレイの一実施例を示す要部回路図、平面構成図、第 4 図、第

5 図は本発明の他の実施例を示す要部回路図、平面構成図、第 6 図、第 7 図は本発明のさらに他の実施例を示す要部回路図、平面構成図である。

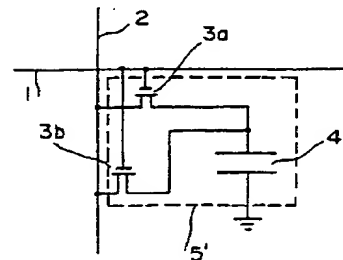
1 駆動配線、2 信号配線、3, 3a, 3b, 3c, 3d 薄膜トランジスタ、4 表示素子、5, 5', 5'', 5''' 画素、6a, 6b 活性層、7a, 7b ソース電極、8 画素電極、9a, 9b 中間電極。

代理人 弁理士 小 川 勝 男

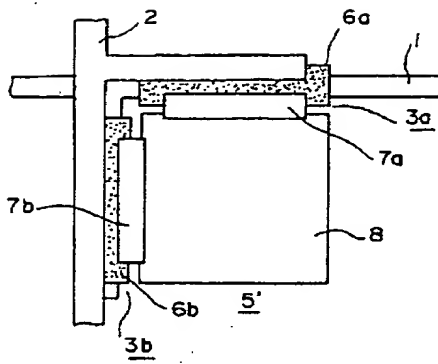
第 1 図



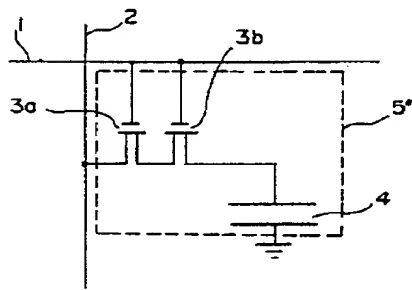
第 2 図



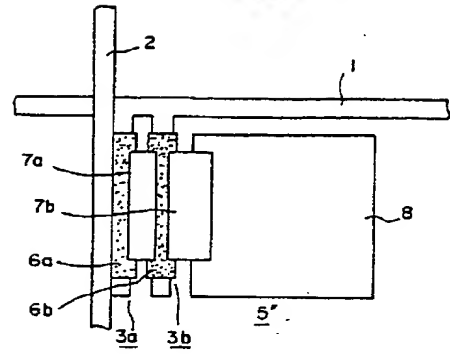
第3図



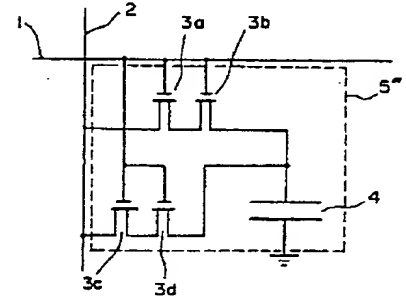
第4図



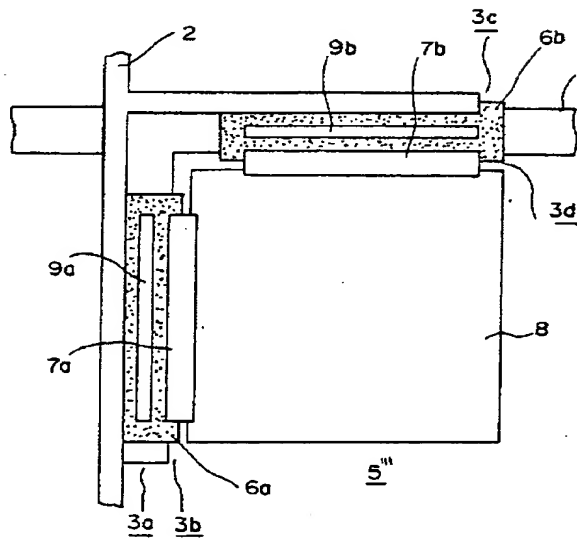
第5図



第6図



第7図



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成5年(1993)10月29日

【公開番号】特開昭62-91993
【公開日】昭和62年(1987)4月27日
【年通号数】公開特許公報62-920
【出願番号】特願昭60-231107
【国際特許分類第5版】

G02F 1/136 500 9018-2K
G09F 9/30 338 7926-5G
H01L 27/12 A 8728-4M
29/784

【FI】

H01L 29/78 311 A 9056-4M

手続補正書 (自発)

平成 4 年 10 月 19 日

特許庁長官 殿

事件の表示

昭和60年 特 許 願 第 231107 号

発 明 の 名 称

フラットディスプレイ装置

補正をする者

事件との関係 特許出願人
名 称 (510) 株式会社 日立製作所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内 電話 3212-1111(大代表)
氏 名 (6850) 弁理士 小 川 勝 男



補正の対象 明細書の発明の名称の欄、特許請求の
範囲の欄及び発明の詳細な説明の欄

補正の内容

1. 明細書の発明の名称を「フラットディスプレイ装置」と補正する。
2. 特許請求の範囲を別紙の通り補正する。
3. 明細書第3頁第10行の末尾に「その他の公知例としては、特開昭55-530号、特開昭56-77887号、特開昭58-143377号、特開昭58-144888号、特開昭59-15282号、特開昭59-57217号、特開昭59-81621号、特開昭59-188283号、特開昭60-169837号公報が有るが、いずれも1つの画素内の全ての薄膜トランジスタのゲートは画素に対応する1つの駆動配線に接続される構造の記載はない。特開昭60-26991号公報にはスイッチ素子に活性層が分離された複数の薄膜トランジスタを用いる記載はない。先願としては特開昭61-292683号公報が有るが、信号配線により活性層内に活性層の長手方向に対し垂直方向に電界が発生する如く構成される薄膜トランジスタ

タの記載はない。特開昭61-67095号、特開昭61-121034号、特開昭61-290490号公報には1つの画素内の複数の薄膜トランジスタのゲートは画素に対応する1つの駆動配線に接続される構造の記載はない。」を追加する。

4. 同書第3頁第12行の先頭に「本発明は上記従来技術の問題点を解決するためになされたものであり、」を挿入する。
6. 同書第6頁第6行の末尾に「このように形成されたトランジスタ3a、3bは信号配線2により活性層6a、6bの長手方向に対し垂直方向に電界が発生する如く構成されており、駆動配線1により前述のオン電流が制御される。また、第3図に示す様に信号配線2の一部は駆動配線1と活性層6a、6bを挟んで重なる様に設けられている。」を追加する。
6. 同書第8頁第15行の末尾に「第3図に示す様に活性層が分離された2つの薄膜トランジスタを用いているので、2つの薄膜トランジスタ

の間に活性層が存在せず、光が当たることにより発生する光電流を少なくすることができる。」を追加する。

以上

別紙

特許請求の範囲

1. 複数の駆動配線と、複数の信号配線を有し、上記複数の駆動配線と上記複数の信号配線はマトリックス状に配置され、上記複数の駆動配線と上記複数の信号配線で囲まれた個々の領域にそれぞれ画素を形成し、該各画素は表示素子とスイッチ素子を有し、該スイッチ素子は活性層が分離された複数の薄膜トランジスタよりなり、1つの上記画素内の全ての上記薄膜トランジスタのゲートは上記画素に対応する1つの上記駆動配線に接続され、1つの上記画素内の複数の上記薄膜トランジスタの上記活性層は上記画素に対応する1つの上記信号配線にそれぞれ接続され、上記薄膜トランジスタは上記信号配線により上記活性層内に上記活性層の長手方向に対し垂直方向に電界が発生する如く構成されることを特徴とするフラットディスプレイ装置。
2. 上記活性層は非晶質シリコンよりなることを

特徴とする特許請求の範囲第1項記載のフラットディスプレイ装置。

3. 上記信号配線は上記活性層を挟んで上記駆動配線と重なっていることを特徴とする特許請求の範囲第1項記載のフラットディスプレイ装置。